

# EUROPEAN PATENT OFFICE

## Patent Abstract of Japan

PUBLICATION NUMBER : 54046398  
PUBLICATION DATE : 12-04-79

APPLICATION DATE : 20-09-77  
APPLICATION NUMBER : 52112223

APPLICANT : FUJITSU LTD;

INVENTOR : MURAKAWA KYOHEI;

INT.CL. : H01B 5/16 C22C 27/04 C22C 27/04

TITLE : MANUFACTURE OF CERAMIC MULTILAYERED CIRCUIT BASE PLATE

ABSTRACT : PURPOSE: To obtain dense, voidless sintered conductor by adding the powder of Ti and Zr as a sintering aid to high melting metal powder, e.g., Mo, W, etc. in order to activate the sintering of the high melting metal.

CONSTITUTION: The conductor circuit 2 is printed by using a conductor paste on the ceramic sheet 1. The conductor paste consists of a Mo or W-containing paste to which are added Ti and Zr. And, a ceramic paste is printed to form the insulation layer 3, and over the layer the conductor paste and the ceramic paste are alternately printed for lamination. This alternative lamination is made until a necessary number of layers are reached, and then the ceramic multi-layered laminate so obtained is subjected to baking to obtain a multi-layered circuit base plate. In order to reduce the electric resistance of the sintered body, the preferred amount of the sintering aid to be added is less than 10wt% on the basis of the high melting metal

COPYRIGHT: (C) JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑨日本特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54-46398

⑫Int. Cl.<sup>2</sup> 識別記号 ⑬日本分類 ⑭庁内整理番号 ⑮公開 昭和54年(1979)4月12日  
H 01 B 5/16 62 A 1 6730-5 E  
C 22 C 27/04 1 0 1 10 A 61 6411-4 K 発明の数 1  
1 0 2 59 G 4 6411-4 K 審査請求 未請求

(全 3 頁)

⑯セラミック多層回路基板の製造方法

川崎市中原区上小田中1015番地

富士通株式会社内

⑰特 願 昭52-112223

⑱発 明 者 丹羽絃一

⑲出 願 昭52(1977)9月20日

川崎市中原区上小田中1015番地

⑳発 明 者 亀原伸男

富士通株式会社内

川崎市中原区上小田中1015番地

同

村川恭平

富士通株式会社内

川崎市中原区上小田中1015番地

同

佐藤千鶴子

富士通株式会社内

川崎市中原区上小田中1015番地

㉑出 願 人 富士通株式会社

富士通株式会社内

川崎市中原区上小田中1015番地

同

山田成一

㉒代 理 人 弁理士 青木朗

外 3 名

明 細 書

1. 発明の名称

セラミック多層回路基板の製造方法

2. 特許請求の範囲

1. 導体とセラミックを同時に焼成してセラミック多層回路基板を製造する過程において、前記導体はMo又はW等の高融点金属粉末に10重量パーセント以下のTi及びZr粉末が添加されたものであることを特徴とする多層回路基板の製造方法。

3. 発明の詳細な説明

本発明は通常のセラミック焼成温度で焼結して得られる低電気抵抗の金属導体材料及び該導体材料を用いたセラミック多層回路基板の製造方法に関する。

従来、電子回路に用いられるセラミック多層回路基板の作成方法には、焼成されたセラミック基板上に導体ペーストと絶縁体ペーストとを交互に印刷・焼成し、これを繰返して多層化を行う厚膜法と、セラミック生シート上に印刷または積層し

より多層回路基板の未焼成体を形成し、これらの多層回路基板未焼成体の導体とセラミックを同時に焼成する印刷法および積層法とがある。この印刷法と積層法は導体とセラミックを同時に焼成してセラミック多層回路基板を得る方式であるため焼成は1度だけであり厚膜法に比し作業工程が少ない。またこれらの方式で得られたセラミック多層回路基板はモノリシック構造をとるため機械的及び熱的強度が大きく信頼性が高い。しかし、これらの方式においてはセラミックと導体の焼成は通常1400~1600℃の高温で行うため、これらの方式に用いられる導体材料は少なくともこの焼成温度より高い融点をもち、また焼成中に蒸発、飛散などの起らない材料でなければならない。このため一般にはW、Moなどの高融点金属が用いられている。ところがこれらの高融点金属の融点は2500℃以上であり、前記の焼成温度では充分な焼結が行なわれないため導体は空隙の多い焼結体となり電気抵抗が高くなる傾向にある。本発明はこの欠点を改良するために案出されたものである。

第1表 Mo およびWペーストの組成

成 分	重 量 比
Mo または W	100.0
Ti および Zr	<10.0
ポリビニルブタレール	5.5
界面活性剤	1.0
ジブチルフタレート	3.5
テルピネオール	20.0
ブチルカルビトールアセテート	8.0

このため本発明においては、金属導体材料としてMo又はW等の高融点金属粉末に10重量パーセント以下のTi及びZrの粉末を添加して加熱焼成することを特徴とし、更に導体とセラミックとを同時に焼成してセラミック多層回路基板を製造する過程において、前記導体を形成するMo又はW等の高融点金属粉末に10重量パーセント以下のTi及びZr粉末を添加することを特徴とするものである。

以下、添付図面に基づいて本発明の実施例につき詳細に説明する。第1図は多層回路基板を得る製造工程の第1工程である。この工程はセラミックの生シート1の上に導体ペーストにより導体回路2を印刷するのである。

この導体ペーストの組成を第1表に示す。これはMo又はWを含むペーストに本発明の要点であるTi及びZrを焼結助剤として添加したものである。

以下空白

次に第2図に示すようにセラミックペーストを印刷して絶縁層3を形成する。この上に更に導体ペーストとセラミックペーストを交互に印刷して第3図の如く層を積み重ねる。これを必要層数重ねて形成されたセラミック多層回路基板の未焼成体を加熱炉に入れて真鍮水蒸気雰囲気中で約1600℃に加熱焼成し多層回路基板を得るのである。

このようにして得られた多層回路基板内の導体回路の電気抵抗を四端子法を用いて測定した結果を第2表に示した。

第2表 Ti及びZrの添加量と電気抵抗

材 料 組 成 (重量比)				電 気 抵 抗
Mo	W	Ti	Zr	( $\Omega/\square$ )
100	—	—	—	7.5
—	100	—	—	8.0
100	—	0.005	—	7.5
100	—	0.01	—	7.2
100	—	1.0	0.1	4.8
—	100	1.0	0.5	6.3
100	—	10.0	—	7.4
100	—	15.0	1.0	9.9

これはTi、Zr等の焼結助剤の添加量と電気抵抗の関係を示したものであるが、これよりTi、Zrの添加量が少ないとその効果が顕著でなく、また添加量が多過ぎるとMo、Wなどの高融点金属と合金をつくるため電気抵抗は逆に高くなることから、このため適量の焼結助剤の添加が必要である。この焼結助剤の添加量は使用する高融点金属および焼結助剤の種類、粉末粒子の形状等により異なるが高融点金属に対し10重量パーセント以

下が適当である。

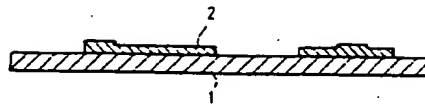
以上説明したようにMo、W等の高融点金属粉末に焼結助剤としてTi、Zr等の粉末を添加することにより通常のセラミック焼結温度において、Mo、Wなどの高融点金属の焼結が活性化し、緻密で空隙の少ない焼結体が得られる。そのためこの焼結体の電気抵抗は通常のMo、Wなどに比較して $\frac{2}{3} \sim \frac{1}{2}$ の低抵抗とすることが可能となる。更にこれらの低い電気抵抗をもつた導体をセラミック多層回路基板に適用することにより導体回路の幅を狭くすることが可能になり、そのため配線密度を向上せしめることが可能になる。

## 4 図面の簡単な説明

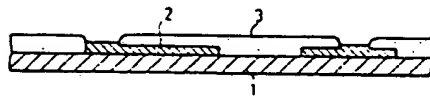
第1図乃至第3図は本発明にかかるセラミック多層回路基板の製造方法による各製造工程の多層回路基板の断面図である。

1…セラミック生シート、2…導体回路、3…絶縁層。

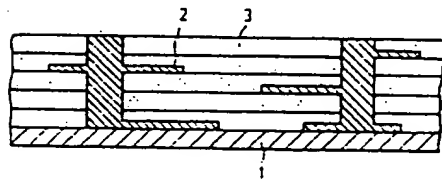
第 1 図



第 2 図



第 3 図



**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)